

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-343913

(P2001-343913A)

(43)公開日 平成13年12月14日 (2001.12.14)

(51)Int.Cl.⁷

G 0 9 F 9/30

識別記号

3 4 8

F I

G 0 9 F 9/30

テマート(参考)

3 4 8 Z 2 H 0 9 0

3 4 8 A 2 H 0 9 2

G 0 2 F 1/1333

5 0 0

G 0 2 F 1/1333

5 0 0 5 C 0 9 4

1/1345

1/1345

審査請求 未請求 請求項の数35 O L (全 22 頁)

(21)出願番号 特願2001-14354(P2001-14354)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成13年1月23日 (2001.1.23)

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(31)優先権主張番号 特願2000-87151(P2000-87151)

(74)代理人 100095728

弁理士 上柳 雅善 (外1名)

(32)優先日 平成12年3月27日 (2000.3.27)

(33)優先権主張国 日本 (J P)

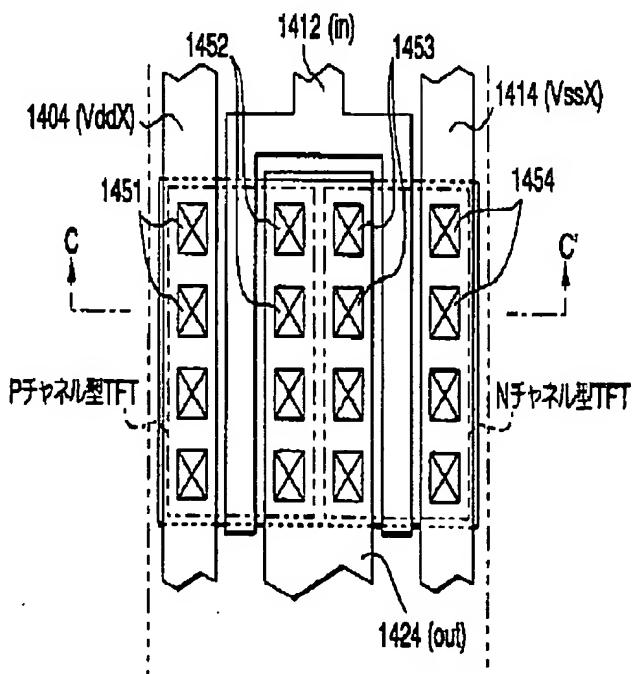
最終頁に続く

(54)【発明の名称】 電気光学装置、その製造方法および電子機器

(57)【要約】

【課題】 実装端子107とそこに至る配線171における段差を低減する。

【解決手段】 基板10において、実装端子107に至る配線171が形成されるべき部分に溝12を設ける。そして、実装端子107と配線171を第2の層間絶縁膜42で覆うとともに、実装端子107に対応する部分に開孔部42aを設ける。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 複数の層でなる基板と、前記基板の外表面に形成された絶縁膜と、前記絶縁膜と略同一平面上に形成され画像信号を入力する実装端子と、前記実装端子と導通した配線とを具備することを特徴とする電気光学装置。

【請求項 2】 前記基板を構成する層の少なくとも一層に、前記実装端子の領域を形成する溝が設けられていることを特徴とする請求項 1 記載の電気光学装置。

【請求項 3】 前記実装端子の領域を形成する溝に、前記実装端子を成す導電膜が設けられていることを特徴とする請求項 2 記載の電気光学装置。

【請求項 4】 前記基板を構成する層の少なくとも一層の、前記配線の少なくとも前記実装端子側の領域下に、前記実装端子の領域を形成する溝に連なる配線用溝が設けられていることを特徴とする請求項 2 または請求項 3 記載の電気光学装置。

【請求項 5】 前記基板の外表面に形成された絶縁膜は、前記実装端子の領域を形成する溝の領域と、前記配線を形成する溝の領域に形成されることを特徴とする請求項 4 記載の電気光学装置。

【請求項 6】 前記実装端子は、多層の導電膜で形成されることを特徴とする請求項 1 乃至 5 記載の電気光学装置。

【請求項 7】 前記実装端子の領域を形成する溝の領域下に少なくとも 1 層の高さ調整用の膜が形成されていることを特徴とする請求項 3 乃至 5 のいずれかに記載の電気光学装置。

【請求項 8】 前記溝の深さは、前記実装端子の厚さと前記高さ調整用の膜の厚さとの合計と略同一であることを特徴とする請求項 7 記載の電気光学装置。

【請求項 9】 前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする請求項 7 または請求項 8 記載の電気光学装置。

【請求項 10】 前記溝の深さは、前記配線の厚さと略同一であることを特徴とする請求項 2 乃至 6 のいずれかに記載の電気光学装置。

【請求項 11】 複数の層でなる基板と、前記基板上に設けられ画像信号を入力する実装端子と、前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成される少なくとも一部分に設けられた溝と、前記溝に対応する領域に形成された前記配線と、前記配線上に形成された絶縁膜とを具備することを特徴とする電気光学装置。

【請求項 12】 前記実装端子は前記配線を成す導電膜で形成され、前記配線上に形成された前記絶縁膜は前記実装端子を露出していることを特徴とする請求項 11 記

載の電気光学装置。

【請求項 13】 前記実装端子の表面と前記絶縁膜の表面とが略同一の高さであることを特徴とする請求項 11 または請求項 12 記載の電気光学装置。

【請求項 14】 前記溝は前記実装端子を囲む領域に形成され、前記実装端子を囲む領域上に前記配線が形成されていることを特徴とする請求項 11 乃至 13 のいずれかに記載の電気光学装置。

【請求項 15】 前記配線上に形成された前記絶縁膜の表面と、前記配線が形成された領域に隣接した前記絶縁膜の表面とが略同一の高さであることを特徴とする請求項 14 記載の電気光学装置。

【請求項 16】 前記配線は、表示領域に形成される配線で形成されることを特徴とする請求項 11 乃至 15 のいずれかに記載の電気光学装置。

【請求項 17】 前記配線は、表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする請求項 11 乃至 15 のいずれかに記載の電気光学装置。

【請求項 18】 前記配線は、表示領域に形成される配線及び前記表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする請求項 11 乃至 15 のいずれかに記載の電気光学装置。

【請求項 19】 前記配線の領域下に少なくとも 1 層の高さ調整用の膜が形成されていることを特徴とする請求項 11 乃至 18 のいずれかに記載の電気光学装置。

【請求項 20】 前記溝の深さは、前記配線の厚さと前記高さ調整用の膜の厚さとの合計と略同一であることを特徴とする請求項 19 記載の電気光学装置。

【請求項 21】 前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする請求項 19 または請求項 20 記載の電気光学装置。

【請求項 22】 前記溝の深さは、前記配線の厚さと略同一であることを特徴とする請求項 11 乃至 18 のいずれかに記載の電気光学装置。

【請求項 23】 複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電気的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電気的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記周辺回路上に形成された絶縁膜とを具備することを特徴とする電気光学装置。

【請求項 24】 複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、

前記基板上の前記表示領域の周辺に形成され、前記配線に電気的に接続された周辺回路と、
前記基板上に形成された実装端子と、
前記周辺回路と前記実装端子とを電気的に接続した配線と、
前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、
前記実装端子の領域を形成する溝と、
前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする電気光学装置。

【請求項 25】 複数の層でなる基板と、
前記基板上に形成された表示領域と、
前記表示領域に配設された配線と、
前記基板上の前記表示領域の周辺に形成され、前記配線に電気的に接続された周辺回路と、
前記基板上に形成された実装端子と、
前記周辺回路と前記実装端子とを電気的に接続した配線と、
前記基板を構成する層の少なくとも一層に、前記表示領域に配設された配線が形成される部分に設けられた溝と、
前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、
前記実装端子の領域を形成する溝と、
前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする電気光学装置。

【請求項 26】 複数の層でなる基板と、
前記基板上に形成された表示領域と、
前記表示領域に配設されたデータ線と、
前記表示領域の一辺に沿って形成されたデータ線駆動回路と、
前記データ線駆動回路を挟んで前記表示領域の一辺と対向するように形成された実装端子と、
前記実装端子と電気的に接続され前記データ線に画像信号を供給する信号線と、
前記基板を構成する層の少なくとも一層に、実装端子の領域を形成する溝と、
前記基板の外表面を成し、前記実装端子を露出させた絶縁膜とを具備することを特徴とする電気光学装置。

【請求項 27】 前記基板を構成する層の少なくとも一層に、少なくとも前記データ線駆動回路と前記実装端子との間の領域内で前記信号線が形成される部分に溝を形成したことを特徴とする請求項 26 記載の電気光学装置。

【請求項 28】 前記基板を構成する層の少なくとも一層に、前記データ線駆動回路が形成される部分に溝を形成したことを特徴とする請求項 26 または請求項 27 記載の電気光学装置。

【請求項 29】 前記表示領域の一辺と前記データ線駆動回路との間に、前記データ線駆動回路で前記データ線に画像信号の供給を制御するサンプリング回路を備えることを特徴とする請求項 26 乃至請求項 28 のいずれかに記載の電気光学装置。

【請求項 30】 前記基板を構成する層の少なくとも一層に、前記サンプリング回路が形成される部分に設けられた溝を形成したことを特徴とする請求項 29 記載の電気光学装置。

【請求項 31】 前記表示領域に配向膜が形成され、前記配向膜のラビング方向が前記実装端子から前記表示領域に向うことを特徴とする請求項 26 乃至 30 のいずれかに記載の電気光学装置。

【請求項 32】 光を射出する光源と、
前記光源による射出光を画像情報に対応した変調を施す請求項 1 乃至請求項 31 のいずれかに記載の電気光学装置と、

前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とする電子機器。

【請求項 33】 複数の層でなる基板上に設けられた実装端子を介して入力した信号にしたがって所定の画像を表示する電気光学装置の製造方法であって、
前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成されるべき部分に溝を設ける工程と、

前記溝に対応する領域に前記配線を形成する工程と、
前記配線上に絶縁膜を積層する工程とを備えることを特徴とする電気光学装置の製造方法。

【請求項 34】 前記実装端子は前記配線を形成する工程と同時に形成され、前記絶縁膜を積層する工程後に、
前記絶縁膜で覆われた実装端子を露出する工程を含むことを特徴とする請求項 33 に記載の電気光学装置の製造方法。

【請求項 35】 前記実装端子を露出する工程は、前記絶縁膜を研磨する工程であることを特徴とする請求項 34 に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部回路からの信号を入力する実装端子の形成領域における段差を低減させた電気光学装置及びその製造方法並びに当該電気光学装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】一般に電気光学装置、例えば、電気光学物質に液晶を用いて、所定の表示を行う液晶装置は、一对の基板間に液晶が挟持された構成となっている。このうち、例えば、画素電極を三端子型のスイッチング素子により駆動するアクティブラチクス型の液晶装置は、次のような構成となっている。すなわち、この種の液晶装置を構成する一对の基板のうち、一方の基板には、複

数の走査線と複数のデータ線とが互いに交差するように設けられるとともに、これらの交差部分の各々に対応して TFT (Thin Film Transistor : 薄膜トランジスタ) のような三端子型スイッチング素子および画素電極の対が設けられ、さらに、これらの画素電極が設けられる領域（表示領域）の周辺には、走査線およびデータ線の各々を駆動するための周辺回路が設けられる。また、他方の基板には画素電極に対向する透明な対向電極が設けられる。くわえて、両基板の対向面には、液晶分子の長軸方向が両基板間で例えば約 90 度連続的に捻れるようラビング処理された配向膜がそれぞれ設けられる一方、その各背面側には配向方向に応じた偏光子がそれぞれ設けられる。

【0003】ここで、画像信号は、通常、画像信号線を介して供給されるとともに、各データ線に、サンプリングスイッチにより適切なタイミングにてサンプリングされる構成となっている。また、走査線とデータ線との交差部分に設けられたスイッチング素子は、対応する走査線に印加される走査信号がアクティブルーベルとなるとオンして、対応するデータ線にサンプリングされている画像信号を画素電極に供給するものである。さらに、対向基板に設けられた対向電極は、一定の電位に維持されている。

【0004】このような構成において、各走査線に供給する走査信号と、サンプリングスイッチを制御するサンプリング信号とが周辺回路によって適切なタイミングで供給されると、画素電極と対向電極と両電極間に挿持された液晶とからなる液晶容量には、画像信号に応じた電圧実効値が画素毎に印加されることになる。

【0005】この際、画素電極と対向電極との間を通過する光は、両電極間に印加される電圧差がゼロであれば、液晶分子のねじれに沿って約 90 度旋光する一方、電圧差が大きくなるにつれて、液晶分子が電界方向に傾く結果、その旋光性が消失する。このため、例えば透過型の電気光学装置において、入射側と背面側とに、ラビング方向に合わせて偏光軸が互いに直交する偏光子をそれぞれ配置させた場合、両電極に印加される電圧差がゼロであれば、光が透過する一方、両電極に印加される電圧差が大きくなるにつれて光が遮断することになる。このため、画素電極に印加する電圧を画素毎に制御することによって、所定の表示が可能となっている。

【0006】ところで、上述したラビング処理とは、一般には、ローラに巻回されたバフ布を回転移動させることで、ポリイミドなどの有機膜表面を一定方向（ラビング方向）に擦る、という処理である。そして、このラビング処理によって、有機膜のポリマー主鎖がラビング方向に延伸されて、当該延伸方向に沿って液晶分子が配列する、と言われている。

【0007】

【発明が解決しようとする課題】しかしながら、配向膜

が形成される下地面上には、特に、画素電極や、スイッチング素子、走査線、データ線、周辺回路が設けられる一方の基板の下地面上には、各種配線や各種素子などの有無や、コンタクトホールの有無などにより、500 nm～1000 nm 程度の段差が生じている。このような段差が生じている下地面上に配向膜を形成しても、やはり配向膜の表面に段差が生じることになる。さらに、このような配向膜にラビング処理を行うと、バフ布の毛先が段差により搔き乱れる結果、擦る度合いが基板面全体にわたって不均一となってしまう。そして、このようにラビング処理が不均一に施された基板に液晶を注入・封止すると、液晶分子が一定方向に配向しないためと考えられる表示ムラが発生する。具体的には、ラビング方向に沿ったスジ状の表示ムラが発生して、表示品位を低下させる、という問題があった。

【0008】本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、基板表面における段差を低減して、不均一なラビング処理に起因する表示上の不具合の発生を抑制した電気光学装置、その製造方法および電子機器を提供することにある。

【0009】

【課題を解決するための手段】まず、上述した段差のうち、表示品位を最も低下させる段差は、外部回路から各種信号を入力する実装端子とこれらの実装端子から引き出される配線とで生じる段差である、と本件の発明者は考えた。

【0010】この点について詳述すると、画素電極およびこれに接続されるスイッチング素子は、走査線およびデータ線の各交差部分に対応して設けられるので、これらの配列ピッチは、走査線およびデータ線の配列ピッチに依存する。また、サンプリングスイッチを含む周辺回路は、走査線やデータ線に対応して設けられるので、周辺回路を構成する素子の配列ピッチについても、走査線およびデータ線の配列ピッチに依存する。したがって、これらの素子や配線などの段差に起因する表示ムラは、画素の配列ピッチと同一倍もしくはその整数倍で発生するので、表示の上では比較的目立たない、と考えられる。

【0011】これに対して、実装端子は、ここから引き出される配線長を短くする観点や、装置全体の対称性を確保する観点などから、上述したサンプリングスイッチやデータ線を駆動するためのデータ線駆動回路に近接し、かつ、走査線の延在方向（すなわち、データ線の延在方向とは交差する方向）に沿って配列され、さらに、外部との接続を容易とする観点から、走査線やデータ線の配列ピッチより遙かに広く、すなわち、走査線やデータ線の配列ピッチとは無関係に形成される。したがって、実装端子及びこれらに至る配線の段差に起因する表示ムラについては非常に目立つと考えられる。

【0012】（1）そこで、本件の第 1 の発明に係る電

気光学装置は、複数の層でなる基板と、前記基板の外表面に形成された絶縁膜と、前記絶縁膜と略同一平面上に形成され画像信号を入力する実装端子と、前記実装端子と導通した配線とを具備することを特徴とする。

【0013】この構成によれば、実装端子の表面及びその周辺の表面で段差が生じるのを低減することができるるので、ラビング処理におけるバフ布の毛先の乱れが抑えられる。

【0014】(2) 第1の発明において、前記基板を構成する層の少なくとも一層に、前記実装端子の領域を形成する溝が設けられていることを特徴とする。

【0015】この構成によれば、実装端子の表面と溝に形成される絶縁膜の表面との段差を低減することができる。

【0016】(3) また、第1の発明において、前記実装端子の領域を形成する溝に、前記実装端子を成す導電膜が設けられていることを特徴とする。

【0017】この構成によれば、導電膜を形成するためのパターンがずれても、溝をマージンとして利用できるので、実装端子の領域に導電膜を確実に形成することができる。

【0018】(4) また、第1の発明において、前記基板を構成する層の少なくとも一層の、前記配線の少なくとも前記実装端子側の領域下に、前記実装端子の領域を形成する溝に連なる配線用溝が設けられていることを特徴とする。

【0019】この構成によれば、実装端子に至る配線の段差を低減することができる。

【0020】(5) また、第1の発明において、前記基板の外表面に形成された絶縁層は、前記実装端子の領域を形成する溝の領域と、前記配線を形成する溝の領域に形成されることを特徴とする。

【0021】この構成によれば、実装端子の表面と絶縁膜の表面との段差と共に、実装端子に至る配線の段差を低減することができる。

【0022】(6) また、第1の発明において、前記実装端子は、多層の導電膜で形成されることを特徴とする。

【0023】この構成によれば、下層側の導電膜を画素領域や周辺回路の導電層と共通にすると共に、上層側の導電膜を実装端子に接続される接続体に合わせた材料で形成することができる。

【0024】(7) また、第1の発明において、前記実装端子の領域を形成する溝の領域下に少なくとも1層の高さ調整用の膜が形成されていることを特徴とする。

【0025】この構成によれば、溝の深さと実装端子の厚みとを調整して、溝の領域上に形成された絶縁膜の表面を均一にすることができる。

【0026】(8) また、第1の発明において、前記溝の深さは、前記実装端子の厚さと前記高さ調整用の膜の

厚さとの合計と略同一であることを特徴とする。

【0027】この構成によれば、溝に形成される実装端子の導電膜の表面は、基準面と略同一となるので、実装端子の周囲の段差をほぼ完全に除去することが可能となる。

【0028】(9) また、第1の発明において、前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする。

【0029】この構成によれば、表示領域に形成される配線や周辺回路を成す配線を共通して用いるので、プロセスには一層有利である。

【0030】(10) 前記溝の深さは、前記配線の厚さと略同一であることを特徴とする。

【0031】この構成によれば、高さ調整用の膜を用いなくてもよいものである。

【0032】(11) そこで、本件の第2の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に設けられ画像信号を入力する実装端子と、前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成される少なくとも一部分に設けられた溝と、前記溝に対応する領域に形成された前記配線と、前記配線上に形成された絶縁膜とを具備することを特徴とする。

【0033】この構成によれば、溝に形成された配線の表面は、実装端子(パッド)の表面と比較して、溝の深さ分だけ低くなる。このため、配線上に形成された絶縁膜と実装端子の表面との段差が低減するので、ラビング処理におけるバフ布の毛先の乱れが抑えられることとなる。

【0034】なお、溝については、基板に直接形成しても良いし、その基板上の積層物を形成しても良い。また、配線としては、アルミニウムなどの低抵抗金属膜が望ましい。この際、配線自体をパッドとして用いても良いし、実装時の都合などにより、配線の上にさらに積層されたITO(Indium Tin Oxide: インジウム錫酸物)などの異種の導電膜をパッドとして用いても良い。

【0035】(12) 第2の発明において、前記実装端子は前記配線を成す導電膜で形成され、前記配線上に形成された前記絶縁膜は前記実装端子を露出していることが望ましい。

【0036】(13) また、第2の発明において、前記実装端子の表面と前記絶縁膜の表面とが略同一の高さであることが望ましい。

この構成によれば、実装端子に至る配線の段差をほぼ完全に除去することが可能となる。

【0037】(14) また、第2の発明において、前記溝は前記実装端子を囲む領域に形成され、前記実装端子を囲む領域上に前記配線が形成されていることを特徴とする。

【0038】この構成によれば、溝により実装端子の領域を形成することができる。また、隣り合う実装端子が

短絡することもない。

【0039】(15) また、第2の発明において、前記配線上に形成された前記絶縁膜の表面と、前記配線が形成された領域に隣接した前記絶縁膜の表面とが略同一の高さであることが望ましい。

【0040】この構成によれば、配線の段差をほぼ完全に除去することが可能となる。

【0041】(16) また、第2の発明において、前記配線は、表示領域に形成される配線で形成されることを特徴とする。

【0042】この構成によれば、配線は、表示領域に形成される配線で形成できるので、工程数を増やす必要がない。

【0043】(17) また、第2の発明において、前記配線は、表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする。

【0044】この構成によれば、配線は、周辺回路を成す配線で形成できるので、工程数を増やす必要がない。

【0045】(18) また、第2の発明において、前記配線は、表示領域に形成される配線及び前記表示領域の周囲に形成される周辺回路を成す配線で形成されることを特徴とする。

【0046】この構成によれば、実装端子に至る配線、表示領域に形成される配線及び周辺回路を成す配線を共通して用いるので、プロセスには一層有利である。

【0047】(19) また、第2の発明において、前記配線の領域下に少なくとも1層の高さ調整用の膜が形成されていることを特徴とする。

【0048】この構成によれば、溝の深さと配線の厚みとを調整して、配線上に形成された絶縁膜の表面を均一にすることができる。

【0049】(20) また、第2の発明において、前記溝の深さは、前記配線の厚さと前記高さ調整用の膜の厚さとの合計と略同一であることを特徴とする。

【0050】この構成によれば、溝に対応して形成される配線上の表面は、基準面と略同一となるので、実装端子に至る配線の段差をほぼ完全に除去することが可能となる。

【0051】(21) また、第2の発明において、前記高さ調整用の膜は、前記表示領域に形成される配線と前記周辺回路を成す配線のうち少なくとも一つの配線であることを特徴とする。

【0052】この構成によれば、表示領域に形成される配線や周辺回路を成す配線を共通して用いるので、プロセスには一層有利である。

【0053】(22) また、第2の発明において、前記溝の深さは、前記配線の厚さと略同一であることを特徴とする。

【0054】第1の発明においては、高さ調整用の膜を用いなくてもよいものである。

【0055】(23) 本件の第3の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電気的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電気的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記周辺回路上に形成された絶縁膜とを具備することを特徴とする。

【0056】この構成によれば、周辺回路上を均一にすることができるので、周辺回路上の段差に起因する表示ムラを低減することができる。

【0057】(24) 本件の第4の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電気的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電気的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記実装端子の領域を形成する溝と、前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする。

【0058】この構成によれば、周辺回路上及び実装端子の周囲を均一にすることができるので、周辺回路上や実装端子の周囲の段差に起因する表示ムラを低減することができる。

【0059】(25) 本件の第5の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設された配線と、前記基板上の前記表示領域の周辺に形成され、前記配線に電気的に接続された周辺回路と、前記基板上に形成された実装端子と、前記周辺回路と前記実装端子とを電気的に接続した配線と、前記基板を構成する層の少なくとも一層に、前記表示領域に配設された配線が形成される部分に設けられた溝と、前記基板を構成する層の少なくとも一層に、前記周辺回路が形成される部分に設けられた溝と、前記実装端子の領域を形成する溝と、前記周辺回路の溝及び前記実装端子の領域を形成する溝の領域に形成された外表面を成す絶縁膜とを具備することを特徴とする。

【0060】この構成によれば、表示領域上、周辺回路上及び実装端子の周囲を均一にすることができるので、表示領域上、周辺回路上や実装端子の周囲の段差に起因する表示ムラを低減することができる。

【0061】(26) 本件の第6の発明に係る電気光学装置は、複数の層でなる基板と、前記基板上に形成された表示領域と、前記表示領域に配設されたデータ線と、

前記表示領域の一辺に沿って形成されたデータ線駆動回路と、前記データ線駆動回路を挟んで前記表示領域の一辺と対向するように形成された実装端子と、前記実装端子と電気的に接続され前記データ線に画像信号を供給する信号線と、前記基板を構成する層の少なくとも一層に、実装端子の領域を形成する溝と、前記基板の外表面を成し、前記実装端子を露出させた絶縁膜とを具備することを特徴とする。

【0062】この構成によれば、特に、データ線駆動回路と実装端子の周囲を均一にすることができるので、その領域の段差に起因する表示ムラを低減することができる。

【0063】(27) また、第6の発明において、前記基板を構成する層の少なくとも一層に、少なくとも前記データ線駆動回路と前記実装端子との間の領域内で前記信号線が形成される部分に溝を形成したことを特徴とする。

【0064】この構成によれば、信号線が形成される部分による段差をていげんすることができる。

【0065】(28) また、第6の発明において、前記基板を構成する層の少なくとも一層に、前記データ線駆動回路が形成される部分に溝を形成したことを特徴とする。

【0066】この構成によれば、データ線駆動回路の段差に起因する表示ムラを低減することができる。

【0067】(29) また、第6の発明において、前記表示領域の一辺と前記データ線駆動回路との間に、前記データ線駆動回路で前記データ線に画像信号の供給を制御するサンプリング回路を備えることを特徴とする。

【0068】(30) また、第6の発明において、前記基板を構成する層の少なくとも一層に、前記サンプリング回路が形成される部分に設けられた溝を形成したことを特徴とする。

【0069】この構成によれば、サンプリング回路の段差に起因する表示ムラを低減することができる。

【0070】(31) また、第6の発明において、前記表示領域に配向膜が形成され、前記配向膜のラビング方向が前記実装端子から前記表示領域に向うことを特徴とする。

【0071】この構成によれば、画素の配列ピッチに依存しないで発生するデータ線駆動回路と実装端子との間の領域を均一にすることで、比較的視認しやすい表示ムラを低減することができる。

【0072】(32) 本件の第7の発明に係る電子機器は、光を射出する光源と、前記光源による射出光を画像情報に対応した変調を施す第1発明乃至第6発明に係る電気光学装置と、前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とする。

【0073】このように電気光学装置を投射型として用いる場合、その表示ムラがごくわずかなものであって

も、投射像では、視認され得る程度に拡大されてしまうが、本件の第6の発明に係る電子機器は、実装端子や、これに至る配線の形成領域が平坦化された電気光学装置を備えるので、段差に起因する表示ムラを抑えた高品位な表示が可能となる。

【0074】(33) 本件の第8の発明に係る電気光学装置の製造方法は、複数の層である基板上に設けられた実装端子を介して入力した信号にしたがって所定の画像を表示する電気光学装置の製造方法であって、前記基板を構成する層の少なくとも一層に、前記実装端子に至る配線が形成されるべき部分に溝を設ける工程と、前記溝に対応する領域に前記配線を形成する工程と、前記配線上に絶縁膜を積層する工程とを備えることを特徴とする。

【0075】この方法によれば、上述した第1の発明と同様に、実装端子の表面と絶縁膜の表面との段差とともに、実装端子に至る配線の段差を低減することとなる。

【0076】(34) また、第8の発明において、前記実装端子は前記配線を形成する工程と同時に形成され、前記絶縁膜を積層する工程後に、前記絶縁膜で覆われた実装端子を露出する工程を含むことを特徴とする。

【0077】この方法によれば、エッティングなどの比較的簡易な工程により実装端子近傍の段差の低減が可能となる。

【0078】(35) また、第8の発明において、前記実装端子を露出する工程は、前記絶縁膜を研磨する工程であることを特徴とする。

【0079】この方法によれば、実装端子になる導電膜の表面をストッパーとして機能させることで、比較的容易にほぼ完全な平坦化が可能となる。

【0080】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0081】<電気光学装置の概略構成>まず、本発明の実施形態に係る電気光学装置について説明する。この電気光学装置は、電気光学物質として液晶を用いて、その電気光学的な変化により所定の表示を行うものである。図1(a)は、この電気光学装置のうち、外部回路を除いた液晶装置100の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

【0082】これらの図に示されるように、液晶装置100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が設けられた対向基板102とが、スペーサ(図示省略)を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学物質として例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。

【0083】ここで、素子基板101には、ガラスや石

英、シリコンなどが用いられ、対向基板102には、ガラスや石英などが用いられる。なお、素子基板101に不透明な基板が用いられる場合には、透過型ではなく反射型として用いられることとなる。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0084】次に、素子基板101の対向面であって、シール材104の外側一辺の領域140aにおいては、後述するデータ線駆動回路が形成されて、サンプリング信号を出力する構成となっている。さらに、この一辺においてシール材104が形成される近傍の領域150aには、後述する画像信号線やサンプリング回路などが形成されている。一方、この一辺の外周部分には、複数の実装端子107が形成されて、外部回路（図示省略）からの各種信号を入力する構成となっている。

【0085】また、この一辺に隣接する2辺の領域130aには、それぞれ後述する走査線駆動回路が形成されて、走査線を両側から駆動する構成となっている。なお、走査線に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路を片側1個だけに形成する構成でも良い。

【0086】そして、残りの一辺の領域160aには、プリチャージ回路や、2個の走査線駆動回路に用いられる共用配線などが形成される。ここで、プリチャージ回路とは、データ線に画像信号をサンプリングする際の負荷を低減するために、各データ線を、サンプリングに先行するタイミングにおいて所定の電位にプリチャージする回路であるが、本件では直接関係しないので、以降においてはその説明を省略することとする。

【0087】一方、対向基板102の対向電極108は、後述するように、素子基板101との貼合部分における4隅のうち、少なくとも1箇所に設けられた導通材によって、素子基板101に形成された実装端子107との電気的な導通が図られている。

【0088】ほかに、対向基板102には、画素電極118と対向する領域に、着色層（カラーフィルタ）が設けられる一方、着色層以外の領域には、光のリークによるコントラスト比の低下防止や、非表示領域を囲むための遮光膜が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合には、対向基板102に着色層を形成する必要はない。

【0089】なお、対向基板102に着色層を設けると否かとにかくわらず、素子基板101には、光の照射により素子の特性低下を防止するために、後述するような遮光膜が設けられる。また、素子基板101および対向基板102の対向面には、後述するように、液晶105における分子の長軸方向が両基板間で約90度連続的に捻れるようにラビング処理された配向膜（図1では省

略）が設けられる一方、その各背面側には配向方向に応じた偏光子（図示省略）がそれぞれ設けられる。

【0090】また、図1(b)においては、対向電極108や、画素電極118、実装端子107に厚みを持たせているが、これは、形成位置を示すための措置であり、実際には、基板に対して充分に無視できるほど薄い。さらに、実装端子107や画素電極118については、後述するように平坦化処理が施された絶縁膜上に形成されているので、素子基板101の対向面には、段差がほとんど平坦化されている。

【0091】<電気的な構成>次に、上述した液晶装置100のうち、素子基板101の電気的な構成について説明する。図2は、この構成を示す概略図である。

【0092】この図に示されるように、素子基板101には、外部回路からの各種の信号を入力するために複数の実装端子107が設けられている。これらの実装端子107を介して入力される信号は、配線171を介して各部に供給される構成となっている。これらの信号について簡単に説明すると、第1に、VID1～VID6は、図4に示されるように、ドットクロックDCLKに同期して供給される1系統の画像信号VIDを、6系統に分配するとともに時間軸に6倍に伸長したものであり、6本の画像信号線122を介してサンプリング回路150に供給されている。なお、画像信号線122は、配線171のうちの特別なものである。すなわち、配線171とは、実装端子107から引き出される配線を一般化的に言うものであり、このうち、画像信号VID1～VID6を供給する配線を、特に、画像信号線122と呼称したものである。

【0093】第2に、VssYおよびVssXは、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の低位側電圧（接地電位）である。また、VddYおよびVddXは、それぞれ走査線駆動回路130およびデータ線駆動回路140における電源の高位側電圧である。これらのうち、電源の低位側電圧VssYは、後述する蓄積容量の接地電位となっているので、容量線175を介して各画素にも供給されている。

【0094】第3に、LCCcomは、対向電極108に印加される電圧信号である。このため、電圧信号LCCcomが供給される2つの電極109は、対向基板102との貼り合わせに用いられるシール材104（図1参照）の隅に相当する地点にそれぞれ設けられている。したがって、素子基板101が実際に対向基板102に貼り合わせられると、電極109と対向電極108とが導通材を介して接続されて、対向電極108に電圧信号LCCcomが印加される構成となる。なお、電圧信号LCCcomは、時間軸に対して一定であり、この電圧信号LCCcomを基準にして、外部回路が、画像信号VID1～VID6を例えれば1水平走査期間毎に高位側および低位側に振り分けて、交流駆動を行う構成となっている。また、電極1

0 9が設けられる地点は、本実施形態においては2箇所であるが、この電極109が設けられる理由は、導通材を介して対向電極108に電圧信号L Ccomを印加するためであるから、電極109が設けられる地点は少なくとも1箇所であれば足りる。このため、電極109が設けられる地点は、1箇所でも良いし、3箇所以上であっても良い。

【0095】第4に、DYは、図4に示されるように、垂直走査期間の最初に供給される転送開始パルスであり、CLYは、走査線駆動回路130において用いられるクロック信号である。なお、CLYinvは、クロック信号CLYをレベル反転させた反転クロック信号である。

【0096】第5に、DXは、図4に示されるように、水平走査期間の最初に供給される転送開始パルスであり、CLXは、データ線駆動回路140において用いられるクロック信号である。なお、CLXinvは、クロック信号CLXをレベル反転させた反転クロック信号である。ENB1、ENB2は、後述するように、データ線駆動回路140におけるシフトレジスタの各出力信号のパルス幅を制限するために用いられるイネーブル信号である。

【0097】さて、素子基板101の表示領域100aにあっては、複数本の走査線112が行(X)方向に沿って平行に配列し、また、複数本のデータ線114が列(Y)方向に沿って平行に配列して、これらの各交差部分に対応して画素が設けられている。

【0098】詳細には、図3に示されるように、走査線112とデータ線114とが交差する部分において、画素を制御するためのスイッチング素子たるTFT116のゲートが走査線112に接続される一方、TFT116のソースがデータ線114に接続されるとともに、TFT116のドレインが矩形状の透明な画素電極118に接続されている。

【0099】上述したように、液晶装置100では、素子基板101と対向基板102との電極形成面の間において液晶105が挟持されているので、各画素の液晶容量は、画素電極118と、対向電極108と、これら両電極間に挟持された液晶105とによって構成されることになる。ここで、説明の便宜上、走査線112の総本数を「m」とし、データ線114の総本数を「6n」とすると(m、nは、それぞれ整数とする)、画素は、走査線112とデータ線114との各交差部分に対応して、m行×6n列のマトリクス状に配列することになる。

【0100】また、マトリクス状の画素からなる表示領域100aには、このほかに、液晶容量のリークを防止するための蓄積容量119が、画素毎に形成されている。この蓄積容量119の一端は、画素電極118(TFT116のドレイン)に接続される一方、その他端

は、容量線175により共通接続されている。このため、蓄積容量119は、液晶容量とは電気的に並列となるので、液晶容量の保持特性が改善されて、高コントラスト比が実現することとなる。なお、容量線175には、本実施形態では、電源の低位側電圧VssYが印加される構成であるが、ここには、時間的に一定の電圧が印加されれば良いので、電源の高位側電圧VddYや、電圧L Ccomなどが印加される構成であっても良い。また、蓄積容量119を含めた画素の詳細構成については、後述することとする。

【0101】そこで、説明を再び図2に戻すと、走査線駆動回路130は、水平走査期間1H毎に順次アクティブルレベルとなる走査信号G1、G2、…、Gmを、1垂直有効表示期間内に各走査線112に出力するものである。詳細な構成については本発明と直接関連しないので図示を省略するが、シフトレジスタと複数の論理積回路とから構成される。このうち、シフトレジスタは、図4に示されるように、垂直走査期間の最初に供給される転送開始パルスDYを、クロック信号CLY(及び反転クロック信号CLYinv)のレベルが遷移する毎に(立ち上がり及び立ち下がりの双方で)、順次シフトして、信号G1'、G2'、G3'、…、Gm'として出力し、各論理積回路は、信号G1'、G2'、G3'、…、Gm'のうち、相隣接する信号同士の論理積信号を求めて、走査信号G1、G2、G3、…、Gmとして出力するものである。

【0102】また、データ線駆動回路140は、順次アクティブルレベルとなるサンプリング信号S1、S2、…、Snを水平走査期間1H内に出力するものである。この詳細な構成についても本発明と直接関連しないので図示を省略するが、インバータ回路を含むシフトレジスタと複数の論理積回路とから構成されている。このうち、シフトレジスタは、図4に示されるように、水平走査期間の最初に供給される転送開始パルスDXを、クロック信号CLX(及び反転クロック信号CLXinv)のレベルが遷移する毎に順次シフトして、信号S1'、S2'、S3'、…、Sn'として出力し、各論理積回路は、信号S1'、S2'、S3'、…、Sn'のパルス幅を、イネーブル信号ENB1またはENB2を用いて、相隣接するもの同士が互いに重複しないように、期間SMPaに狭めてサンプリング信号S1、S2、S3、…、Snとして出力するものである。

【0103】続いて、それぞれサンプリング回路150は、データ線114毎に設けられるサンプリングスイッチ151から構成されている。一方、データ線114は6本毎にブロック化されており、図2において左から数えてi(iは、1、2、…、n)番目のブロックに属するデータ線114の6本のうち、最も左に位置するデータ線114の一端に接続されるサンプリングスイッチ151は、画像信号線122を介して供給される画像信号

V I D 1を、サンプリング信号S iがアクティブとなる期間においてサンプリングして、当該データ線1 1 4に供給する構成となっている。また、同じく i番目のブロックに属するデータ線1 1 4の6本のうち、2番目に位置するデータ線1 1 4の一端に接続されるサンプリングスイッチ1 5 1は、画像信号線1 2 2を介して供給される画像信号V I D 2を、サンプリング信号S iがアクティブとなる期間においてサンプリングして、当該データ線1 1 4に供給する構成となっている。

【0 1 0 4】以下同様に、i番目のブロックに属するデータ線1 1 4の6本のうち、3、4、5、6番目に位置するデータ線1 1 4の一端に接続されるサンプリングスイッチ1 5 1の各々は、画像信号線1 2 2を介して供給される画像信号V I D 3、V I D 4、V I D 5、V I D 6の各々を、サンプリング信号S iがアクティブとなる期間においてサンプリングして、対応するデータ線1 1 4に供給する構成となっている。すなわち、サンプリング信号S iがアクティブレベルとなると、i番目のブロックに属する6本のデータ線1 1 4の各々には、それぞれ画像信号V I D 1～V I D 6が同時にサンプリングされる構成となっている。

【0 1 0 5】これらの走査線駆動回路1 3 0や、データ線駆動回路1 4 0、サンプリング回路1 5 0などは、製造後に欠陥の有無を判別するための検査回路とともに、表示領域1 0 0 aの周辺に形成されるので、周辺回路として呼称されるものである。ただし、検査回路については、本件とは直接関係ないので、その説明については省略することとする。

【0 1 0 6】<電気光学装置の動作>次に、上述した構成に係る電気光学装置の動作について簡単に説明する。

【0 1 0 7】まず、走査線駆動回路1 3 0には、垂直走査期間の最初に転送開始パルスD Yが供給される。この転送開始パルスD Yは、クロック信号C L Y（およびその反転クロック信号C L Y inv）によって順次シフトされる結果、図4に示されるように、1水平走査期間毎に順次アクティブレベルとなる走査信号G 1、G 2、…、G mとして、対応する走査線1 1 2に出力される。

【0 1 0 8】一方、1系統の画像信号V I Dは、外部回路によって、図4に示されるように、6系統の画像信号V I D 1～V I D 6に分配されるとともに、時間軸に対して6倍に伸長される。また、データ線駆動回路1 4 0には、同図に示されるように、水平走査期間の最初に転送開始パルスD Xが供給される。この転送開始パルスD Xは、データ線駆動回路1 4 0において、クロック信号C L X（およびその反転クロック信号C L X inv）のレベルが遷移する毎に順次シフトされて、信号S 1'、S 2'、…、S n'となる。そして、この信号S 1'、S 2'、…、S n'は、イネーブル信号E N B 1、E N B 2のアクティブレベルである期間S M P aに制限されて、これが図4に示されるように、サンプリング信号S

1、S 2、…、S nとして順次出力されることとなる。【0 1 0 9】ここで、走査信号G 1がアクティブとなる期間、すなわち、第1番目の水平走査期間において、サンプリング信号S 1がアクティブレベルとなると、左から1番目のブロックに属する6本のデータ線1 1 4に、それぞれ画像信号V I D 1～V I D 6がサンプリングされる。そして、これらの画像信号V I D 1～V I D 6が、図2または図3において上から数えて1本目の走査線1 1 2と当該6本のデータ線1 1 4と交差する画素のT F T 1 1 6によってそれぞれ書き込まれることとなる。この後、サンプリング信号S 2がアクティブレベルとなると、今度は、2番目のブロックに属する6本のデータ線1 1 4に、それぞれ画像信号V I D 1～V I D 6がサンプリングされて、これらの画像信号V I D 1～V I D 6が、1本目の走査線1 1 2と当該6本のデータ線1 1 4と交差する画素のT F T 1 1 6によってそれぞれ書き込まれることとなる。

【0 1 1 0】以下同様にして、サンプリング信号S 3、S 4、…、S nが順次アクティブレベルとなると、第3番目、第4番目、…、第n番目のブロックに属する6本のデータ線1 1 4にそれぞれ画像信号V I D 1～V I D 6がサンプリングされ、これらの画像信号V I D 1～V I D 6がサンプリングされ、1本目の走査線1 1 2と、当該6本のデータ線1 1 4と交差する画素のT F T 1 1 6によってそれぞれ書き込まれることとなる。これにより、第1行目の画素のすべてに対する書き込みが完了することになる。

【0 1 1 1】統いて、走査信号G 2がアクティブとなる期間、すなわち、第2番目の水平走査期間においては、同様にして、第2行目の画素のすべてに対して書き込みが行われ、以下同様にして、走査信号G 3、G 4、…、G mがアクティブとなって、第3行目、第4行目、第m行目の画素に対して書き込みが行われることとなる。これにより、第1行目～第m行目の画素のすべてにわたって書き込みが完了することになる。

【0 1 1 2】このような駆動では、データ線1 1 4を1本毎に駆動する方式と比較すると、各サンプリングスイッチ1 5 1によって画像信号をサンプリングする時間が6倍となるので、各画素における充放電時間が十分に確保される。このため、高コントラスト比を実現することができる。

【0 1 1 3】<画素の詳細構成>次に、上述した画素の詳細について図5及び図6を参照して説明する。図5は、その詳細構成を示す平面図であり、図6は、図5におけるB-B'線の断面図である。なお、図5において、最上導電層となる画素電極1 1 8については、説明理解のために、その輪郭だけを破線により示すこととする。

【0 1 1 4】まず、これらの図に示されるように、データ線1 1 4や、走査線1 1 2、容量線1 7 5、T F T 1 6などの主要な要素は、素子基板1 0 1の基材たる基

板10に設けられた溝12内に形成されている。換言すれば、この溝12は、データ線114や、走査線112、容量線175、TFT116などが形成されるべき領域12aにおいて形成されたものである。

【0115】さて、この溝12には、遮光膜22が設けられて、基板10の下側から光がTFT116に侵入するのを防止している。さらに、この遮光膜22の上層には、下地絶縁膜40を介してポリシリコンからなる半導体層30が設けられ、その表面は熱酸化による絶縁膜32で覆われている。

【0116】ところで、データ線114はY方向に延在し、走査線112はX方向に延在している。また、容量線175は、走査線112と近接して平行にX方向に延在して設けられているが、データ線114と交差する部分においては、データ線114と重なるように、前段側(図5において上側)に突出して形成されている。このような配線下において、半導体層30は、データ線114および容量線175が交差する地点から、容量線175の延在方向(図5において右方向)、データ線114の下層における容量線175の突出方向(上方向)、および、その反対方向(下方向)の計3方向に延在して略T字状に形成されている。

【0117】そして、半導体層30のうち、走査線112と重なる部分がチャネル領域30aとなっている。換言すれば、走査線112のうち、半導体層30と交差する部分がゲート電極116Gとして用いられている。さらに、半導体層30において、チャネル領域30aのソース側には、低濃度ソース領域30b、高濃度ソース領域116Sが設けられる一方、チャネル領域30aのドレイン側には、低濃度ドレイン領域30c、高濃度ドレイン領域116Dが設けられて、いわゆるLDD(Lightly Doped Drain)構造となっている。

【0118】ここで、高濃度ソース領域116Sは、絶縁膜32および第1の層間絶縁膜41を開孔するコンタクトホール51によってデータ線114に接続される一方、高濃度ドレイン領域116Dは、絶縁膜32、第1の層間絶縁膜41および第2の層間絶縁膜42を開孔するコンタクトホール53によって画素電極118に接続されている。

【0119】また、半導体層30における高濃度ドレイン領域116Dの一部は、蓄積容量119の一方の電極として機能している。すなわち、蓄積容量119は、半導体層30のうち、容量線175の下層に位置する高濃度ドレイン領域30fを一方の電極とし、さらに、容量線175自体を他方の電極として、半導体層30の表面に形成された絶縁膜32を挟持した構成となっている。なお、蓄積容量119については、高濃度ドレイン領域30fおよび容量線175により絶縁膜32を挟持することによる容量のほか、高濃度ドレイン領域30fおよび遮光膜22によって下地絶縁膜40を挟持することに

よる容量についても合わせて考える場合もある。

【0120】そして、最上層(すなわち、液晶105と接する面)の全面には、ポリイミド等の有機膜からなる配向膜61が形成されている。なお、この配向膜61は、対向基板102との貼り合わせ前に、上述したようなラビング処理が施されるものである。

【0121】このように、半導体層30は、走査線112や、データ線114、容量線175が形成される領域の下側に隠された状態で形成されている。一方、半導体層30の下層には、基板10の下側から光が侵入するのを防止している。このため、TFT116には、光が基板10の上側および下側の双方から侵入しにくい構造となっているので、光照射によるTFT116の特性変化の防止が図られている。

【0122】さらに、表示領域100aにおいては、画素電極118を除く、すべての配線(導電膜)や半導体層などの要素が、溝12に形成されているので、これらによる盛り上がりが防止されている。したがって、表示領域100aでは、画素電極118に画像信号を供給するための走査線112やデータ線114などが形成される領域と、これらが形成されない開口領域との段差が低減されることとなる。

【0123】<周辺回路の詳細構成>次に、周辺回路の詳細について、データ線駆動回路140のシフトレジスタに含まれるインバータを一例として説明する。図7は、このインバータの構成を示す平面図であり、図8は、図7におけるC-C'線の断面図である。

【0124】まず、周辺回路が形成される周辺回路領域には画素電極118が存在しないので、図5または図6に示される画素部とは異なり、第2の層間絶縁膜42を開孔するコンタクトホール53が設けられない。また、遮光膜22を、周辺回路領域の一部に形成しても良い。他については、配線の用途が異なるだけで、基本的に画素部と同様な構成となる。

【0125】すなわち、図7および図8に示されるインバータは、基板10に設けられた溝12内に、配線や半導体層などの主要な要素が形成されている。そして、このインバータは、画素電極118をスイッチングするTFT116と同様なLDD構造のPチャネル型TFTとNチャネル型TFTとが、電源の高位側電圧VddXが印加される配線1404と、電源の低位側電圧VssXが印加される配線1414との間に直列接続された相補型構成となっている。詳細には、配線1404は、コンタクトホール1451を介してPチャネル型TFTの高濃度ドレイン領域に接続される一方、配線1414は、コンタクトホール1454を介してNチャネル型TFTの高濃度ソース領域に接続されている。さらに、インバータの入力信号が供給される配線1412は、二手に分岐して、Pチャネル型TFTとNチャネル型TFTとで共用されるゲート電極となっている。そし

て、Pチャネル型TFTの高濃度ソース領域は、コンタクトホール1452を介し、また、Nチャネル型TFTの高濃度ドレイン領域は、コンタクトホール1453を介し、それぞれ、インバータの出力信号を供給する配線1424に接続されている。

【0126】これらの配線のうち、ゲート電極となる配線1412は、表示領域における走査線112と同一導電層をパターニングしたものであり、また、配線1404、1414および1424は、画素部におけるデータ線114と同一導電層をパターニングしたものである。すなわち、周辺回路領域においては、表示領域における走査線112と同一導電層を用いて第1層の配線1412が形成され、データ線114と同一導電層を用いて第2層の配線1404、1414および1424が形成されている。

【0127】なお、ここでは、データ線駆動回路140におけるインバータを一例として説明したが、データ線駆動回路140における他の素子、例えば、クロックドインバータや、論理積回路を構成するNANDゲートなどについても、さらに、走査線駆動回路130における各種素子についても、ここで説明したインバータと同様に溝12に形成されている。このため、周辺回路が形成される領域においても、表示領域と同様に、配線や素子などの有無の相違による段差が低減されることとなる。

【0128】<実装端子の詳細構成>続いて、実装端子107の詳細な構成について図10を参照して説明する。図10は、図9のD-D'線の断面図であり、実装端子107および配線171の構成を示す断面図である。

【0129】図10に示されるように、実装端子107および配線171は、基板10に設けられた溝12に対応して形成されている。ここで、溝12については、図9に示されるように、実装端子107が形成されるべき周縁（輪郭）部分と、この実装端子に至る配線171が形成されるべき部分とに対応して基板10の表面に形成されたものである。

【0130】さて、図10に示されるように、溝12と輪郭部分で囲まれる領域とにおいては、表示領域や周辺回路の形成領域における遮光膜22と同一層からなる導電膜22bが形成されている。この導電膜22bの上層には、下地絶縁膜40が形成されて、基板全面を覆っているが、基板10に形成された溝12に対応する凹凸部は残っている。

【0131】次に、下地絶縁膜40において溝12に対応する凹部と、その輪郭部分で囲まれる領域に対応する凸部とには、表示領域における走査線112や周辺回路領域における第1層の配線1412と同一層からなる導電膜112bが形成されている。この導電膜112bの上層には、第1の層間絶縁膜41が形成されて、基板全面を覆っているが、溝12に対応する凹凸部は残ってい

る。

【0132】さらに、溝12に対応する凹部と、その輪郭部分で囲まれる領域に対応する凸部とには、表示領域におけるデータ線114や周辺回路領域における第2層の配線1404、1414、1424などと同一層からなる導電膜114bが形成されている。そして、この導電膜114bの上層には、基板全面にわたって第2の層間絶縁膜42が形成されているが、溝12の輪郭部分で囲まれる領域に対応する凸部において開孔部42aが設けられている。すなわち、導電膜114bは、溝12の輪郭部分で囲まれる領域に対応する凸部において露出しており、これが実装端子107のパッドとして用いられる一方、この凸部に至る導電膜114bが配線171として用いられる構成となっている。このような構成においては、開孔部42aにおいて露出する導電膜114bの表面は、他の部分に比べて盛り上がっているため、第2の層間絶縁膜42の表面との段差が低減されることとなる。

【0133】また、基板10の基準面Rからの溝12の深さdは、導電膜22bの厚さt₁、導電膜112bの厚さt₂および導電膜114bの厚さt₃の合計にほぼ等しくなるように形成されている。したがって、溝12に形成される導電膜114bの表面Pと、導電膜22b、112b、114bが形成されていない部分における第1の層間絶縁膜41の表面Qとはほぼ等しくなるので、これらの上層に第2の層間絶縁膜42が形成されると、配線171が形成される部分と形成されない部分とがほぼ平坦化されることとなる。

【0134】ところで、溝12の輪郭部分で囲まれる領域に対応する凸部に形成された導電膜22b、112bは、電気的には不要なものとも言えるが、このような導電膜22b、112bが設けられる理由は、次の通りである。すなわち、本実施形態において、溝12は、端子領域のほかに、表示領域や周辺回路領域においても形成されるが、工程の簡略化の観点から言えば、これらの溝12は、同一の工程において一括して形成するのが望ましい。ここで、表示領域や周辺回路においては、遮光膜、第1層および第2層の配線における膜厚を考慮して、第2の層間絶縁膜42の表面ができるだけ平坦になるように、溝12の深さを決定すべきである。一方、実装端子107および配線171では、最上層の導電層114bのみがあれば良いが、遮光膜や、第1層および第2層の配線における膜厚を考慮して深さdが設定された溝12に、導電層114bのみを設けるのでは、溝12の深さが過剰となり、段差が生じてしまう場合がある。そこで、端子領域においては、このような段差を防止するために、表示領域や周辺回路領域に設けられる遮光膜や、第1層の配線を高さ調整用のダミー膜として用いているのである。なお、このようなダミー膜は、高さ調整用として用いるのであるから、導電膜に限られず、絶縁

体を別途形成して用いても良い。

【0135】また、遮光膜22と同一膜からなる導電膜22bは、比較的薄い場合がある。このような場合、遮光膜22や導電膜22bの有無の相違による段差を無視できるので、端子領域に導電膜22bを設けないでも良い。この場合、溝12の深さdは、導電膜112bの厚さt₂および導電膜114bの厚さt₃の和にほぼ等しくすれば良い。さらに、半導体層30の膜厚をも考慮して溝12を形成しても良く、この場合には、高さ調整用のダミー膜として半導体層30を構成するポリシリコン層を用いても良い。

【0136】<製造プロセス>次に、実施形態に係る電気光学装置の製造プロセスについて、素子基板101を中心に説明する。

【0137】まず、図11(a)に示されるように、例えば、石英基板や、ガラス基板、シリコン基板等の基板101に、フォトリソグラフィおよびエッティング等によって溝12を形成する。なお、この溝12の深さdは、前述したように、遮光膜、第1層および第2層の配線の膜厚合計とほぼ等しくなるように形成される。

【0138】続いて、同図(b)に示されるように、溝12が形成された基板101に、遮光膜22、導電膜22bが形成される。具体的には、溝12が形成された基板101の全面に不透明な高融点金属、具体的には、Ti(チタン)や、Cr(クロム)、W(タンクステン)、Ta(タングタル)、Mo(モリブデン)、Pb(鉛)等の金属単体、または、これらを少なくとも1つ含む合金や金属シリサイドなどをスパッタリング等により100~300nm程度の厚さで形成した後、この高融点金属を、フォトリソグラフィ及びエッティングによって、上述した形状にパターニングして遮光膜22、導電膜22bを形成する。

【0139】次に、同図(c)に示されるように、遮光膜22、導電膜22b、基板101の表面に、下地絶縁膜40を形成する。詳細には、下地絶縁膜40は、例えば常圧または減圧CVD(Chemical Vapor Deposition)法などにより、NSG(ノンドープシリケートガラス)や、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス、または、酸化シリコン膜、窒化シリコン膜等から、約50~1500nmの厚さで、好ましくは約600~800nm程度の厚さで形成される。

【0140】引き続き、下地絶縁膜40の上面全体に、例えば減圧CVD法などによって、アモルファスシリコン層を約100nmの厚さで形成し、熱処理等により固相成長させることによりポリシリコン層を形成する。この際、Nチャネル型のTFTを形成する場合には、Sb(アンチモン)や、As(砒素)、P(リン)などのV族元素の不純物を、わずかにイオン注入等によりドーピン

グする一方、Pチャネル型TFTを形成する場合には、Al(アルミニウム)や、B(ボロン)、Ga(ガリウム)などのIII族元素の不純物を、同様に、わずかにイオン注入等によりドーピングする。そして、同図(d)に示されるように、ポリシリコン層を、フォトリソグラフィやエッティング等によってパターニングして、表示領域におけるTFT116や、周辺回路領域における半導体層30として、島状に形成する。なお、半導体層30のうち、容量線175が形成される領域30fについては、P(リン)などの不純物を高濃度でドーピングして、予め低抵抗化を図っておいても良い。

【0141】さらに、図12(e)に示されるように、半導体層30の表面を熱酸化処理して、絶縁膜32を当該半導体層30の表面に形成する。この工程により、半導体層30は最終的に約30~150nmの厚さ、好ましくは約35~45nmの厚さとなる一方、絶縁膜32は約60~150nmの厚さ、好ましくは約30nmの厚さとなる。

【0142】次に、絶縁膜32および下地絶縁膜40の上面に、ポリシリコン層を減圧CVD法等により堆積する。そして、同図(f)に示されるように、このポリシリコン層を、フォトリソグラフィやエッティング等によってパターニングして、表示領域にあってはTFT116のゲート電極を兼用する走査線112として、蓄積容量119における他方の電極をなす容量線175として、それぞれ形成し、また、周辺回路領域にあってはゲート電極を含めた第1層の配線1412として形成し、さらに、端子領域にあっては導電膜112bとして形成する。なお、この導電膜については、ポリシリコンではなく、Alなどの金属膜や金属シリサイド膜から形成しても良いし、これらの金属膜または金属シリサイド膜と、ポリシリコンとを多層で形成しても良い。

【0143】さらに、同図(g)に示されるように、半導体層30に適切な不純物をドーピングする。詳細には、表示領域におけるTFT116をNチャネル型とする場合、ソース・ドレイン領域のうち、チャネル領域30aに隣接する領域に対し、走査線112の一部であるゲート電極を拡散マスクとして、PなどのV族元素の不純物を低濃度でドーピングする。同時に、周辺回路領域のNチャネル型TFTにおいても、同様に配線1412の一部であるゲート電極を拡散マスクとして、不純物を低濃度でドーピングする。続いて、ゲート電極よりも幅広のレジストを形成し、これをマスクとして、同じくPなどのV族元素の不純物を高濃度でドーピングする。これによりNチャネル型TFTは、チャネル領域30aのソース側には、低濃度ソース領域30b、高濃度ソース領域116Sが設けられる一方、チャネル領域30aのドレイン側には、低濃度ドレイン領域30c、高濃度ドレイン領域116Dが設けられたLDD構造となる。続いて、これらのNチャネル型TFTの半導体層30をレ

ジストでマスクした後、周辺回路領域のPチャネル型TFTについても同様に、チャネル領域に隣接する領域に対し、配線1412をマスクとして、例えばB(ボロン)などのIII族元素の不純物をドーピングして低濃度領域を形成し、引き続き、配線1412よりも幅広のレジストをマスクとして、同じくBなどのIII族元素の不純物をドーピングして高濃度領域を形成する。

【0144】なお、このように各チャネル型TFTをLDD構造としないで、オフセット構造のTFTとしても良く、また、単なるセルフアライン型(自己整合型)のTFTとしても良い。また、周辺回路の相補型TFTのうち、Nチャネル型のみをLDD構造としても良く、さらに、画素部におけるTFT116を相補型としても良い。

【0145】続いて、同図(h)に示されるように、第1の層間絶縁膜41を、ゲート電極や下地絶縁膜40などを覆うように、例えば、CVD法等によって約500～1500nmの厚さに堆積する。なお、第1の層間絶縁膜41の材質としては、下地絶縁膜40と同様に、NSGや、PSG、BSG、BPSGなどのシリケートガラス膜や、窒化シリコン膜、酸化シリコン膜などが挙げられる。

【0146】さらに、図13(i)に示されるように、表示領域にあってはコンタクトホール51を、周辺回路領域にあってはコンタクトホール1451、1452、1453および1454をそれぞれ形成する。詳細には、コンタクトホール51が第1の層間絶縁膜41および絶縁膜32に対してTFT116のソース領域に対応した位置にドライエッティング等により形成されるとともに、コンタクトホール1451、1452、1453および1454が、Pチャネル型およびNチャネル型TFTの高濃度ドレン領域と高濃度ソース領域とに対応した位置に形成される。なお、この際、周辺回路領域において、第1層の配線と第2層の配線との導通を図る場合には、この導通部分に対応して同様にコンタクトホール(図示省略)を形成する。

【0147】次に、第1の層間絶縁膜41の上に、アルミニウムなどの低抵抗金属や金属シリサイドなどからなる導電膜を、スパッタリングなどによって約100～500nmの厚さに堆積する。そして、この導電膜を、同図(j)に示されるように、フォトリソグラフィやエッティング等によってパターニングして、表示領域にあってはTFT116のソース電極を兼用するデータ線114として形成し、周辺回路領域にあってはソース・ドレン電極を含めた第2層の配線1404、1414、1424として形成し、また、端子領域にあっては導電膜114bとして形成する。

【0148】続いて、同図(k)に示されるように、第2の層間絶縁膜42を、第2層の配線や第1の層間絶縁膜41などを覆うように、例えば、CVD法等によって

約500～1500nmの厚さに堆積する。なお、第2の層間絶縁膜42の材質としては、下地絶縁膜40や第1の層間絶縁膜41と同様に、NSGや、PSG、BSG、BPSGなどのシリケートガラス膜や、窒化シリコン膜、酸化シリコン膜などが挙げられる。

【0149】次に、同図(l)に示されるように、表示領域にあっては、TFT116のドレン領域に対応した位置に、第2の層間絶縁膜42、第1の層間絶縁膜41および絶縁膜32を開孔させるコンタクトホール53を、ドライエッティング等により形成する。一方、端子領域にあっては、第2の層間絶縁膜42のうち、溝12の輪郭対応部分で囲まれる凸部に位置する部分47を除去して、開孔部42aを設ける。

【0150】なお、開孔部42aを設ける手法としては、第2の層間絶縁膜42のうち、開孔部42aに相当する部分をエッティングなどにより選択的に除去する第1の手法と、溝12の輪郭部分で囲まれる領域に対応する凸部の導電膜114bが露出するまで、第2の層間絶縁膜42をCMP(化学機械的研磨)処理を施す第2の手法との2つに大別される。このうち、後者に係る第2の手法の方が、実装端子107となる部分とその他の部分とがほぼ完全に平坦化される観点から言えば有利である。ただし、前者に係る第1の手法では、第2の層間絶縁膜42のうち、開孔部42に相当する部分を、コンタクトホール53を形成するのと同様な手法により選択的に除去することができるので、工程の簡略化の観点から言えば、第1の手法の方が有利である。

【0151】さて、以後の工程については図示を省略するが、第2の層間絶縁膜42の表面に、ITOなどの透明導電性薄膜を、スパッタリングなどによって約50～200nmの厚さに堆積した後、フォトリソグラフィやエッティング等によって所定の形状(図5参照)にパターニングして、画素電極118を形成する。この後、ポリイミドなどの有機溶液を基板10における対向面の全面に塗布・焼成する。これにより、配向膜61が形成されることとなる。なお、この配向膜61に対しては、図14に示されるような方向にラビング処理が施される。

【0152】そして、このように形成された素子基板101は、それとは約90度回転させた方向にラビング処理された対向基板102と、シール材104により貼り合わせられた後に、液晶105が封入・封止され、スクライブされて(切り出されて)、図1(a)に示されるような電気光学装置となる。

【0153】なお、素子基板101においては、配向膜61が全面にわたって形成されるが、液晶封止後ではプラズマ処理等により、対向基板102から張り出した部分に形成された配向膜が除去される。このため、端子領域および周辺回路領域における最上層は、配向膜61ではなく、導電膜114bまたは第2の層間絶縁膜42となる(図8また図10参照)。

【0154】このような製造方法によれば、溝12が、端子領域のほか表示領域や周辺回路領域に設けられ、ここに配線や素子が形成されるので、端子領域のみならず、表示領域や周辺回路領域においても、基板の表面における段差が低減されることになる。この際、実装端子107のパッドとなる導電膜114bの下層に設けられる高さ調整用の導電膜22bは、表示領域および周辺回路領域における遮光膜22と同一層を用いて形成され、また同じく高さ調整用の導電膜112bは、表示領域における走査線112と、周辺回路領域における配線1412と同一層からなる導電膜を用いて形成され、さらに、導電膜114bも、表示領域におけるデータ線114と、周辺回路領域における配線1404、1414、1424と同一層からなる導電膜を用いて形成されている。さらに、溝12についても、端子領域のほか表示領域や周辺回路領域において一括して設けられる。したがって、追加されるプロセスがほとんどないので、製造プロセスの複雑化が防止されることとなる。

【0155】<変形例>なお、上述した実施形態において、実装端子107となるパッドは、データ線114や第2層の配線1404と同一層の導電膜114bから形成したが、この上に、さらに、別の導電膜を積層しても良い。例えば、図15に示されるように、画素電極118をバーニングする際に、溝12の輪郭対応部分で囲まれる凸部の導電膜114bに、ITOなどの導電膜118bを残しても良い。上述したように、導電膜114bはアルミニウムなどからなるが、アルミニウムは侵されやすい上に、また、FPC(Flexible Printed Circuit)基板との接合に用いる導電性マイクロカプセルとの密着性が悪いという問題もある。しかしながら、このような問題は、露出した導電膜114bの表面をさらに導電膜118bにより覆うことで解消されることになる。

【0156】<応用例>また、実施形態では、端子領域のほかに、表示領域や周辺回路領域についても溝12を形成したが、上述したように、表示領域や周辺回路領域における段差は、画素の配列ピッチと同一倍もしくはその整数倍で発生するため、当該段差に起因する表示ムラは比較的目立たない、と考えられる。そこで、表示領域や周辺回路領域については溝12を設けないで、端子領域についてのみ溝12を形成しても良いと考える。

【0157】突き詰めて言えば、図14に示されるようにデータ線114の延在方向に一致させてラビング処理する場合、表示領域100aをラビングするバフ布が画素の配列ピッチに依存しないで乱れる領域は、実装端子107と配線171とが形成される領域と、表示領域100aにかかるバフ布が走査する領域190aとの双方に属する領域である。すなわち、図2で言えば領域Bである。したがって、画素の配列ピッチに依存しないで発生する、比較的視認されやすい表示ムラを抑えるだけの目的であれば、この領域Bにおいてのみ溝12を形成す

れば良い、と考える。

【0158】なお、図14に示される方向にラビング処理する場合、領域192aについては、たとえ段差に起因してバフ布が乱れたとしても、その毛先が表示領域100aにかかるないので、この領域192については（例えば、走査線駆動回路130には）、あえて溝12を形成しなくても良い、と考える。

【0159】そして、端子領域においてのみ溝12を形成する場合には、遮光膜22と同一膜からなる導電膜22b、および、走査線112と同一膜からなる導電膜112bの厚さを考慮しなくても良いから、図16に示されるように、導電膜114bの下層に導電膜を設けないで、溝12の深さdを、導電膜114bの厚さt₃にほぼ等しくなるように設定すれば良い。

【0160】<その他>なお、上述した実施形態にあっては、6本のデータ線114が1ブロックにまとめられて、1ブロックに属する6本のデータ線114に対して、6系統に変換された画像信号VID1～VID6を同時にサンプリングして供給する構成としたが、変換数および同時に印加するデータ線数（すなわち、1ブロックを構成するデータ線数）は、「6」に限られるものではない。例えば、サンプリング回路150におけるサンプリングスイッチ151の応答速度が十分に高いのであれば、画像信号をパラレルに変換することなく1本の画像信号線にシリアル伝送して、データ線114毎に点順次的にサンプリングするように構成しても良い。また、変換および同時に印加するデータ線の数を「3」や、「12」、「24」等として、3本や、12本、24本等のデータ線に対して、3系統変換や、12系統変換、24系統変換等した画像信号を同時に供給する構成としても良い。なお、変換数および同時に印加するデータ線数としては、カラーの画像信号が3つの原色に係る信号からなることとの関係から、3の倍数であることが制御や回路などを簡易化する上で好ましい。ただし、後述するプロジェクトのように単なる光変調の用途の場合には、3の倍数であることを要しない。さらに、サンプリングスイッチを同時に制御するのではなく、パラレル変換された画像信号VID1～VID6を順次シフトして供給して、サンプリングスイッチ151を順番に制御する構成としても良い。

【0161】また、上述した実施形態においては、上から下方向へ走査線112を走査する一方、左から右方向へブロックを選択する構成であったが、これとは逆方向で選択する構成でも良いし、用途に応じていずれかの方向を選択可能とする構成でも良い。

【0162】さらに、上述した実施形態においては、素子基板101にプレーナ型のTFT116等が形成されていたが、本発明は、これに限られない。例えば、TFT116をポトムゲート型で構成しても良い。また、素子基板101を半導体基板で構成するとともに、ここ

に、TFT 116 に代えて相補型トランジスタを形成しても良い。さらに、SOI (Silicon On Insulator) の技術を適用し、サファイヤ、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板 101 としても良い。ただし、素子基板 101 が透明性を有しない場合、画素電極 118 をアルミニウムで形成したり、別途反射層を形成したりするなどして、液晶装置 100 を反射型として用いる必要がある。

【0163】<プロジェクト>次に、上述した電気光学装置を適用した電子機器について説明する。実施形態に係る電気光学装置については、種々の電子機器、例えばパソコンや、液晶テレビ、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、携帯電話、タッチパネルを備えた機器等などに適用可能である。

【0164】ここで、本発明により解消しようとする表示ムラ、すなわち、ラビング方向に沿ったスジ状の表示ムラは、直視型では比較的問題にならないが、表示像を投射するプロジェクタにおいては無視できない程度にまで拡大される。

【0165】そこで、電子機器の一例として、このようなプロジェクタを挙げて説明することとする。ここで、プロジェクタとは、上述した液晶装置 100 をライトバルブとして用いたものであり、図 17 は、この構成を示す平面図である。この図に示されるように、プロジェクタ 2100 内部には、ハロゲンランプ等の白色光源からなるランプユニット 2102 が設けられている。このランプユニット 2102 から射出された投射光は、内部に配置された 3 枚のミラー 2106 および 2 枚のダイクロイックミラー 2108 によって RGB の 3 原色に分離されて、各原色に対応するライトバルブ 100R、100G および 100B にそれぞれ導かれる。ここで、ライトバルブ 100R、100G および 100B の構成は、上述した実施形態に係る液晶装置 100 と同様であり、画像信号を入力する処理回路（ここでは図示省略）から供給される R、G、B の原色信号でそれぞれ駆動されるものである。また、B 色の光は、他の R 色や G 色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ 2122、リレーレンズ 2123 および出射レンズ 2124 からなるリレーレンズ系 2121 を介して導かれる。

【0166】さて、ライトバルブ 100R、100G、100B によってそれぞれ変調された光は、ダイクロイックプリズム 2112 に 3 方向から入射する。そして、このダイクロイックプリズム 2112 において、R 色および B 色の光は 90 度に屈折する一方、G 色の光は直進する。したがって、各色の画像が合成された後、スクリ

ーン 2120 には、投射レンズ 2114 によってカラー画像が投射されることとなる。

【0167】なお、ライトバルブ 100R、100G および 100B には、ダイクロイックミラー 2108 によって、R、G、B の各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。また、ライトバルブ 100R、100B の透過像はダイクロイックミラー 2112 により反射した後に投射されるのに対し、ライトバルブ 100G の透過像はそのまま投射されるので、ライトバルブ 100R、100B による表示像を、ライトバルブ 100G による表示像に対して左右反転させる構成となっている。

【0168】

【発明の効果】以上説明したように本発明によれば、基板の表面、特に実装端子およびこれに至る配線が形成される領域の段差が低減されるので、不均一なラビング処理に起因する表示上の不具合の発生を抑制することが可能となる。

【図面の簡単な説明】

【図 1】 (a) は、本発明の実施形態に係る電気光学装置の液晶装置の構成を示す斜視図であり、(b) は、(a) の A-A' 線の断面図である。

【図 2】 同液晶装置の電気的な構成を示すブロック図である。

【図 3】 同液晶装置の表示領域における等価回路を示す図である。

【図 4】 同液晶装置の動作を説明するためのタイミングチャートである。

【図 5】 同液晶装置の表示領域における画素の詳細構成を示す平面図である。

【図 6】 図 4 の B-B' 線の断面図である。

【図 7】 同液晶装置の周辺領域におけるインバータ回路の詳細構成を示す平面図である。

【図 8】 図 6 の C-C' 線の断面図である。

【図 9】 同液晶装置における実装端子近傍に形成される溝の構成を示す斜視図である。

【図 10】 図 9 の D-D' 線の断面図であり、同液晶装置における実装端子と、この実装端子に至る配線との構成を示す断面図である。

【図 11】 (a) ~ (d) は、それぞれ同液晶装置における素子基板の製造プロセスを示す断面図である。

【図 12】 (e) ~ (h) は、それぞれ同液晶装置における素子基板の製造プロセスを示す断面図である。

【図 13】 (i) ~ (l) は、それぞれ同液晶装置における素子基板の製造プロセスを示す断面図である。

【図 14】 同液晶装置における素子基板のラビング方向を示す平面図である。

【図 15】 本発明の変形例に係る実装端子と、この実装端子に至る配線との構成を示す断面図である。

【図 16】 本発明の応用例に係る実装端子と、この実

装端子に至る配線との構成を示す断面図である。

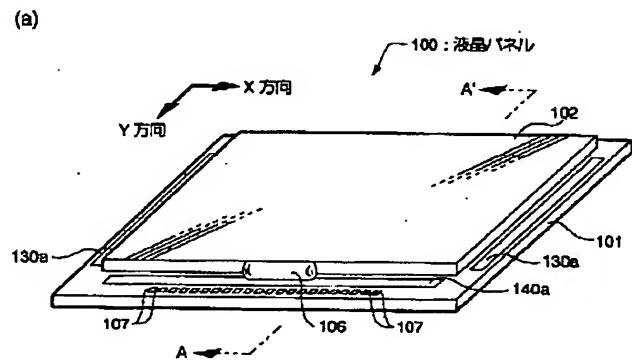
【図17】 実施形態に係る電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【符号の説明】

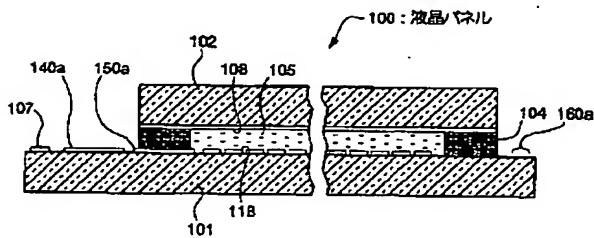
- 1 0 … 基板
 1 2 … 溝
 2 2 … 遮光膜
 2 2 b … 導電膜
 3 0 … 半導體層
 4 0 … 下地絶縁膜
 4 1 … 第 1 の層間絶縁膜
 4 2 … 第 2 の層間絶縁膜
 6 1 … 配向膜
 1 0 0 … 液晶装置
 1 0 1 … 素子基板
 1 0 2 … 対向基板
 1 0 5 … 液晶

- 107…実装端子
 - 108…対向基板
 - 112…走査線
 - 112b…導電膜
 - 114…データ線
 - 114b…導電膜
 - 116…TFT
 - 118…画素電極
 - 119…蓄積容量
 - 122…画像信号線
 - 130…走査線駆動回路
 - 140…データ線駆動回路
 - 150…サンプリング回路
 - 151…サンプリングスイッチ
 - 171、173…配線
 - 175…容量線
 - 2100…プロジェクタ

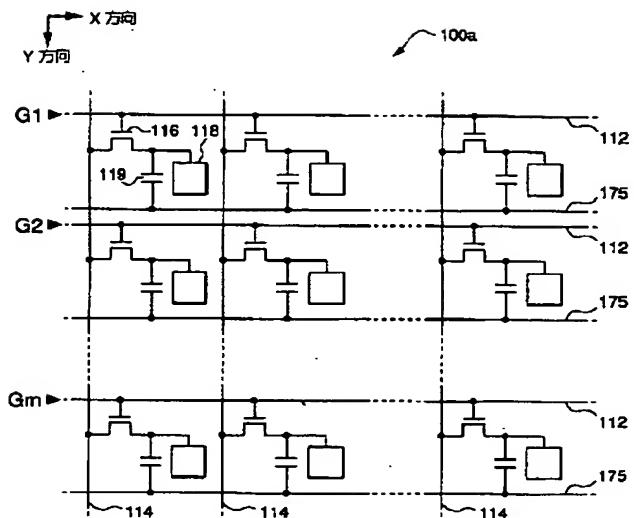
【図1】



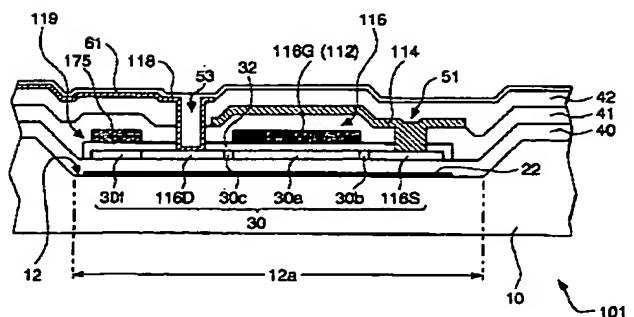
(b)



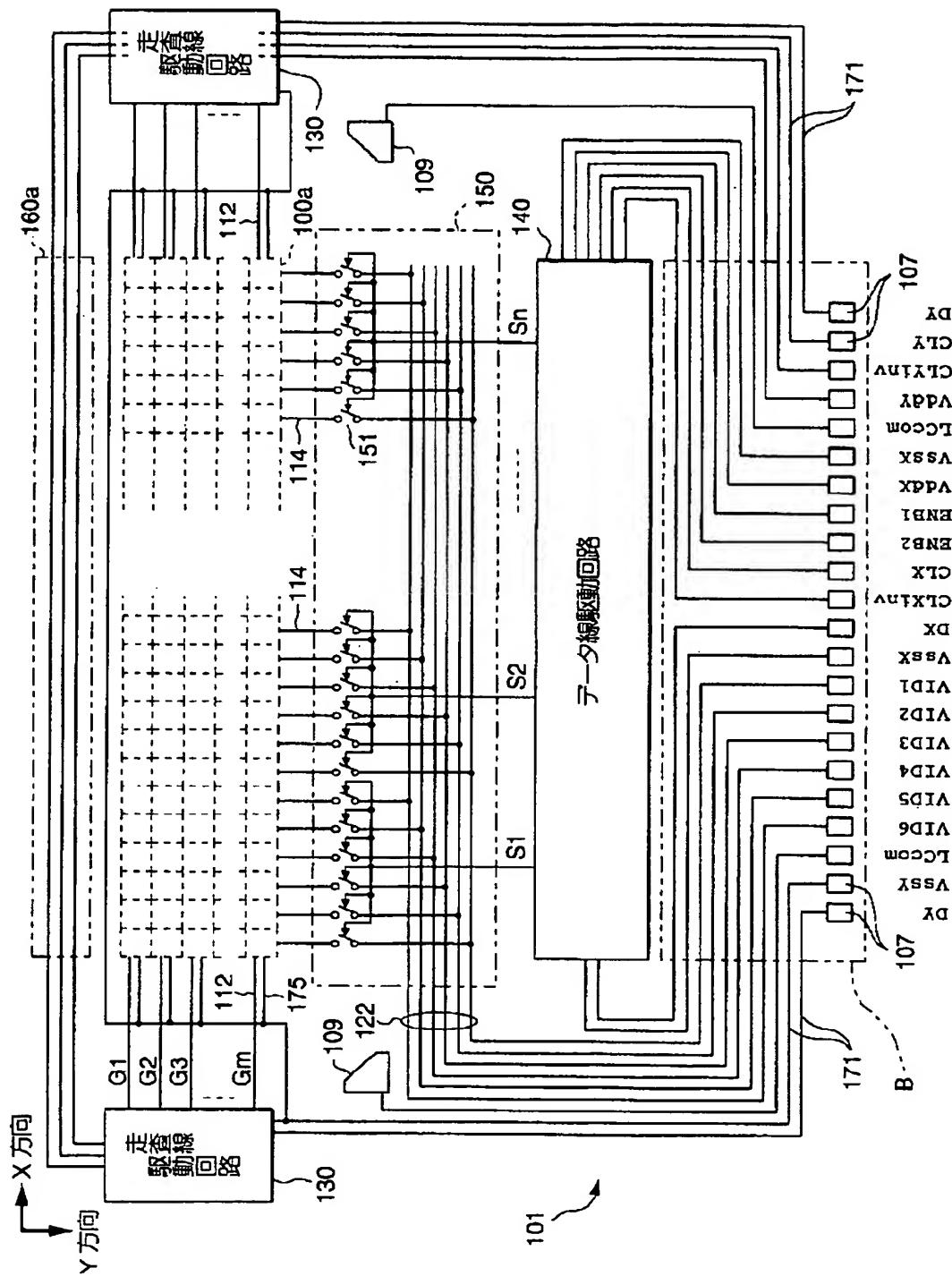
【図3】



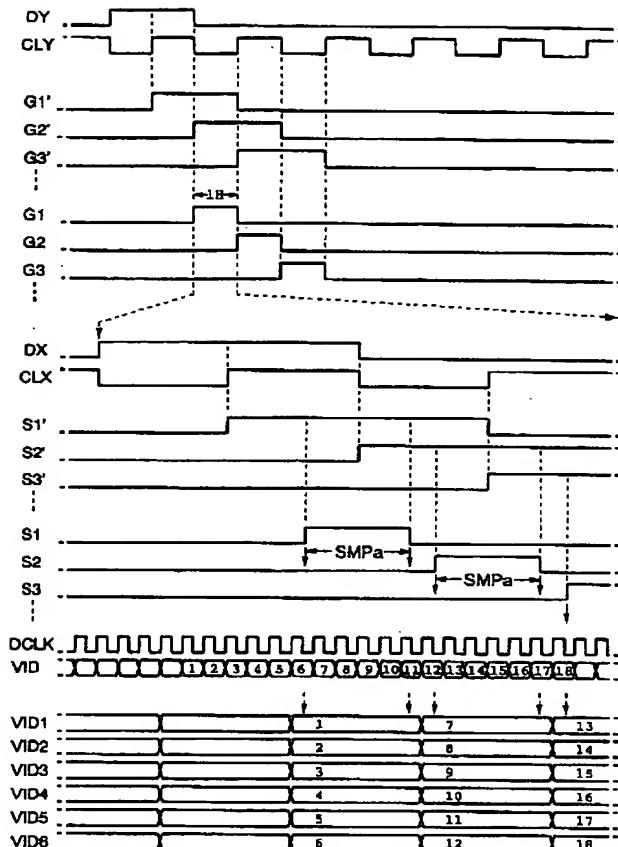
(6)



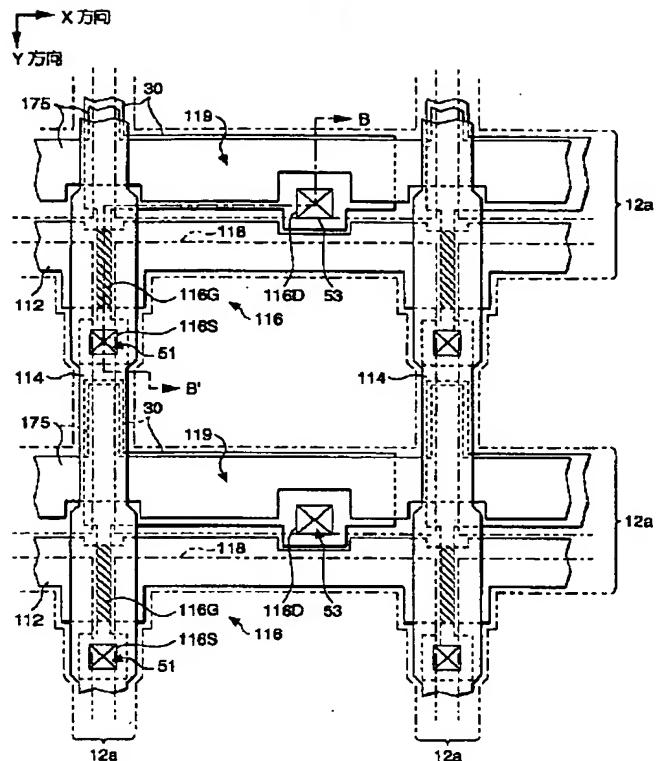
【図2】



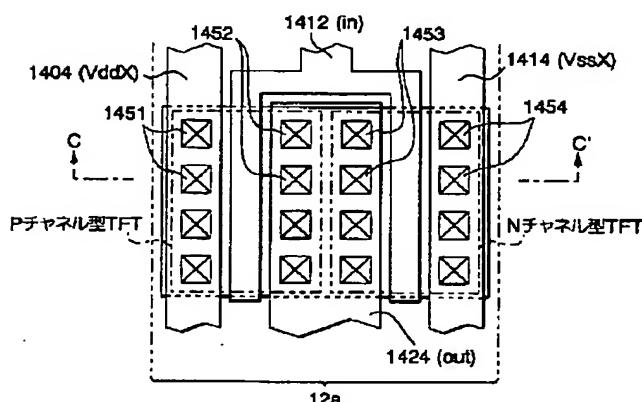
【図4】



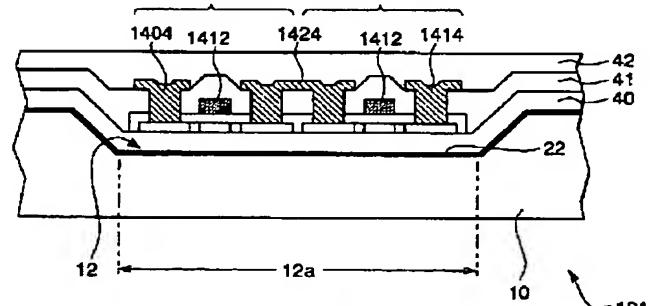
【図5】



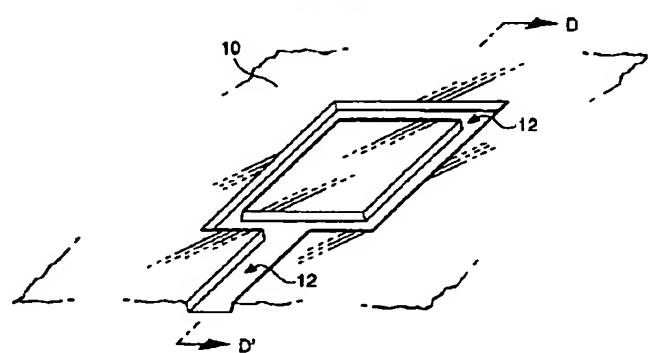
【図7】



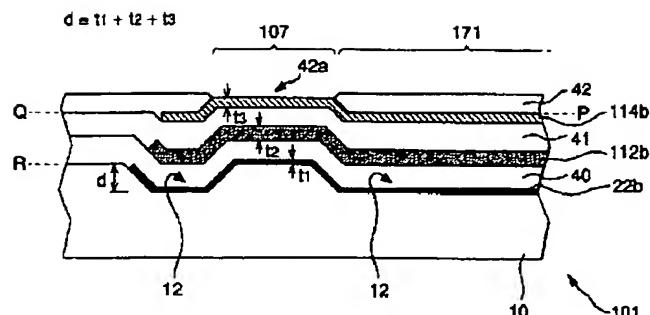
Pチャネル型TFT Nチャネル型TFT



【図9】

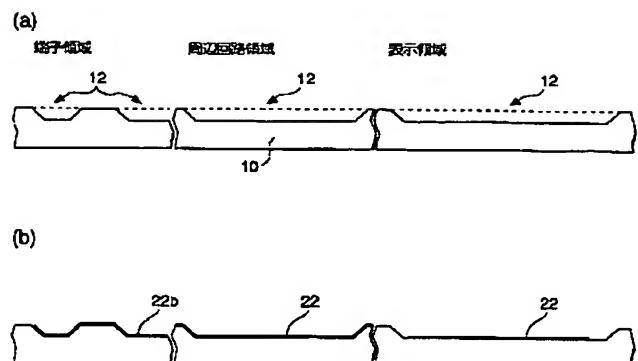


【図 10】

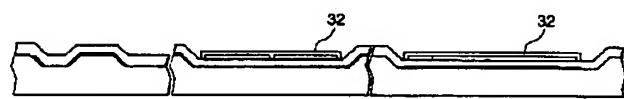


【図 12】

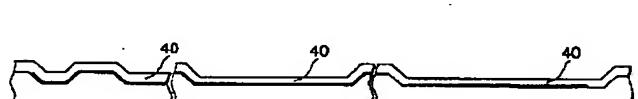
【図 11】



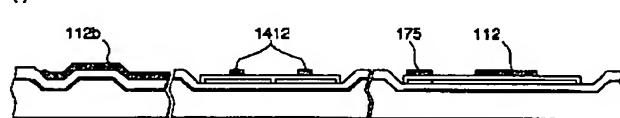
(e)



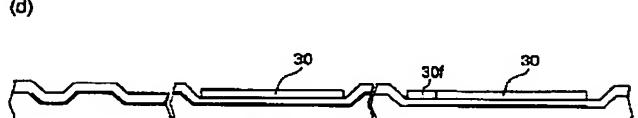
(c)



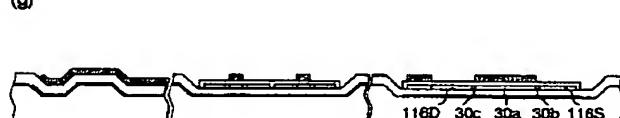
(f)



(d)

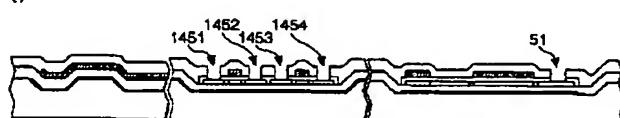


(g)

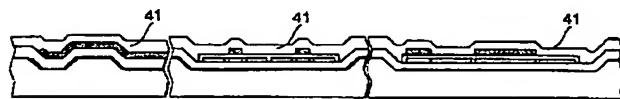


【図 13】

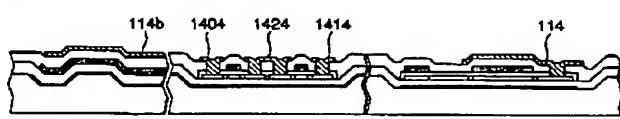
(i)



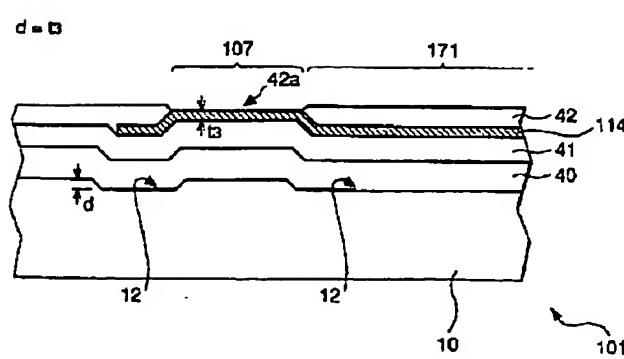
(h)



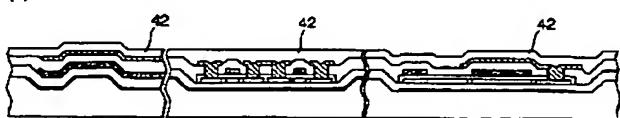
(j)



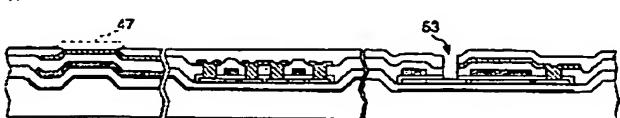
【図 16】



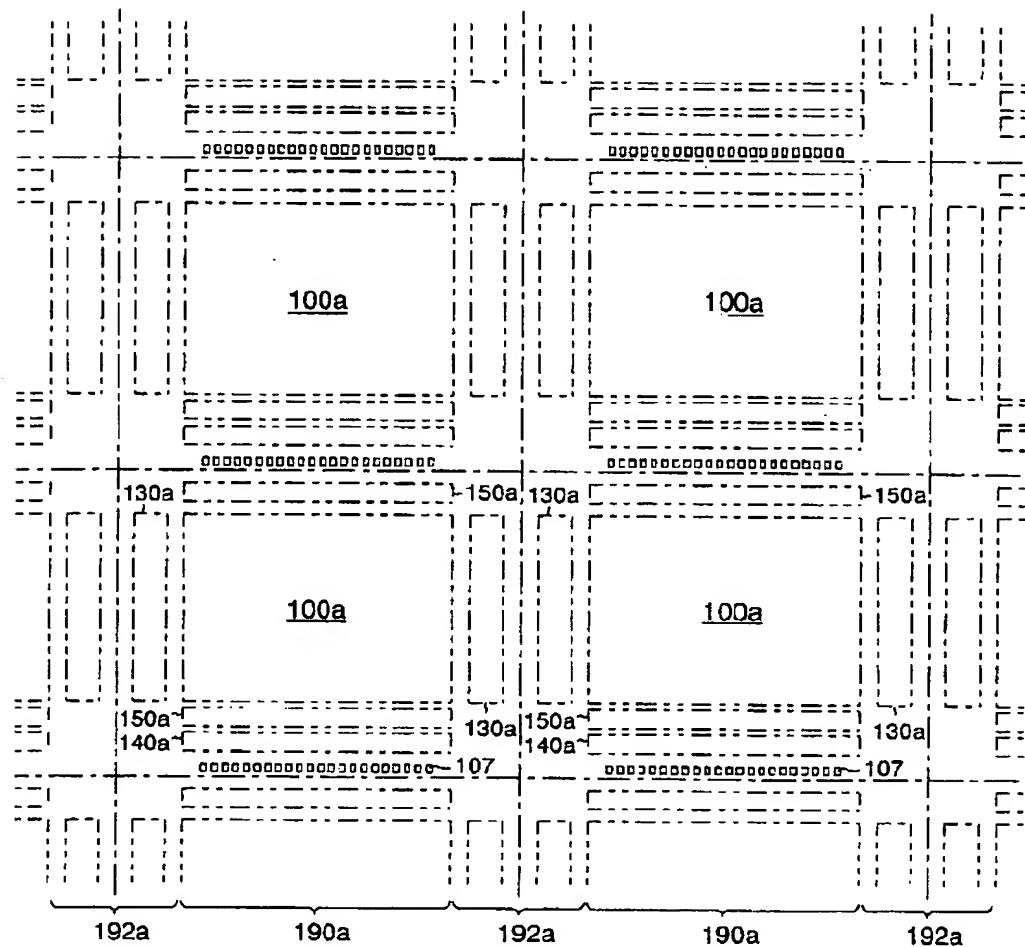
(k)



(l)

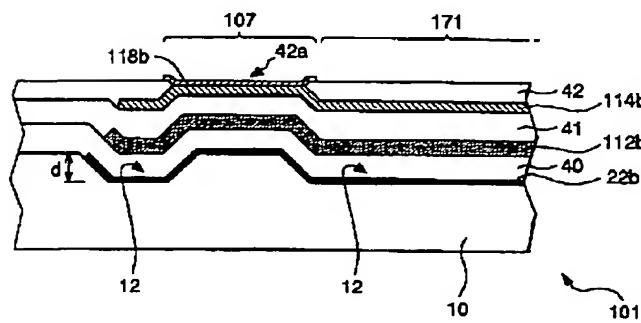


【図14】

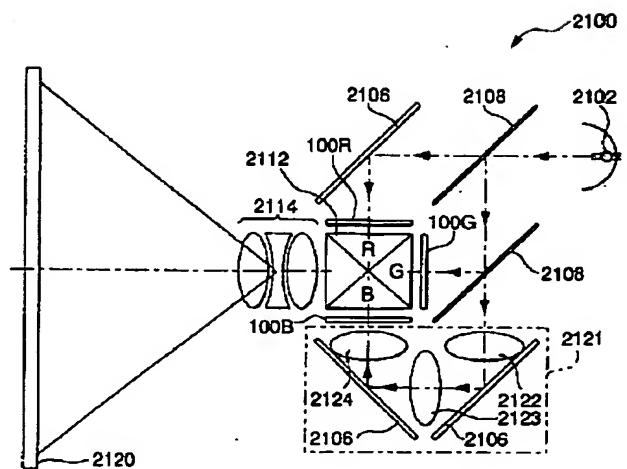


↑ ラビング方向

【図15】



【図17】



フロントページの続き

F ターム(参考) 2H090 HA04 JA02 LA01 LA04 LA11
LA12 LA16
2H092 GA32 GA50 JA24 JA34 JA37
JA41 JA46 JB22 JB31 KB13
KB25 MA05 MA07 MA18 NA01
NA28 NA29 PA01 PA02 PA06
PA11 PA13
5C094 AA42 AA43 BA03 BA43 CA19
DA14 DA15 EA04 EA07 FB15

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADING TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.